

ΠΑΝΕΠΙΣΤΗΜΙΟ ΚΡΗΤΗΣ

ΤΜΗΜΑ ΕΠΙΣΤΗΜΗΣ ΥΠΟΛΟΓΙΣΤΩΝ

ΠΑΡΟΥΣΙΑΣΗ / ΕΞΕΤΑΣΗ ΜΕΤΑΠΤΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ

**Τοτόμης Σωτήριος
Μεταπτυχιακός Φοιτητής**

Τμήμα Επιστήμης Υπολογιστών, Πανεπιστήμιο Κρήτης

Επόπτης Μεταπτυχιακής Εργασίας: Καθηγητής, Μ. Κατεβαίνης

Β. Παπαευσταθίου, Ερευνητής Γ` (επιβλέπων)

Παρασκευή, 6 Αυγούστου 2021, ώρα 12:00 μ.μ.

Join Zoom Meeting

<https://zoom.us/j/94627163111>

“ Σχεδίαση και Υλοποίηση Μηχανών Συνοχής Κρυφών Μνημών για Συστήματα RISC-V”

Περίληψη

Πριν την εποχή των πολυπύρηνων επεξεργαστών, η απόδοση των επεξεργαστών βελτιωνόταν κυρίως μέσω της συνεχούς αύξησης της συχνότητας του ρολογιού τους. Οι υψηλές συχνότητες κατέληξαν σε γιγαντιαία ποσά κατανάλωσης ενέργειας και η διάχυση της θερμότητας έφτασε σε μη προσιτά επίπεδα, ιδιαιτέρως σε συστήματα μεγάλης κλίμακας όπως τα Κέντρα Δεδομένων. Προς αντιμετώπιση αυτών των ζητημάτων, μέχρι και σήμερα, οι κατασκευαστές ολοκληρωμένων κυκλωμάτων επεξεργαστών τοποθετούν πολλαπλές μονάδες επεξεργασίας. Με αυτόν τον τρόπο αποκαθιστούν την ενεργειακή απόδοση, τα κατασκευαστικά κόστη, και βελτιώνουν την απόδοση του συστήματος μέσω της παράλληλης επεξεργασίας. Συγχρόνως, υπάρχει ένα συνεχώς αυξανόμενο ενδιαφέρον για τις ενεργειακά αποδοτικές αρχιτεκτονικές RISC και ιδιαιτέρως για

το σύνολο εντολών RISC-V το οποίο είναι ανοιχτό και δωρεάν και μπορεί να μειώσει περαιτέρω το κόστος των πολυπύρηνων επεξεργαστών.

Τα συστήματα πολλαπλών πυρήνων με Κοινή Μνήμη επιλύουν αρκετά προβλήματα, αλλά εισάγουν και κάποιες επιπλοκές. Αρχικά, το αυξημένο κόστος επικοινωνίας μεταξύ των πυρήνων και μνήμης κατά την λήψη εντολών και δεδομένων και δεύτερον, η ενορχήστρωση των πυρήνων με σκοπό την διατήρηση συνεκτικών αντιγράφων δεδομένων συσχετιζόμενα με την ίδια διεύθυνση μνήμης, στις ιδιωτικές τους κρυφές μνήμες πρώτου ή/και δευτέρου επιπέδου. Η τρίτη σημαντική επιπλοκή είναι η απόδοση και το ενεργειακό κόστος των λειτουργιών της συνοχής κρυφών μνημών κατά την αναζήτηση και εντοπισμό παλαιών αντιγράφων δεδομένων σε όλη την ιεραρχία της κρυφής μνήμης, δηλαδή των λειτουργιών επερωτήσεων/ενημερώσεων. Οι παραπάνω παράγοντες γίνονται ακόμα πιο κρίσιμοι από πλευράς απόδοσης όσο αυξάνεται το πλήθος των πυρήνων σε ένα σύστημα. Αυτό οφείλεται στη δυνητικά υψηλή πληρότητα του δικτύου διασύνδεσης εντός του τσιπ, το οποίο είναι υπεύθυνο για τις δοσοληψίες αιτημάτων-απαντήσεων από τους πυρήνες προς την μνήμη και ταυτόχρονα για την υποστήριξη του κατάλληλου πρωτοκόλλου συνοχής κρυφών μνημών.

Η εργασία αυτή συνεισφέρει μια σχεδίαση και υλοποίηση μηχανών συνοχής κρυφών μνημών και των υποδομών διασύνδεσης για συστήματα RISC-V. Συγκεκριμένα η εργασία κάνει τις παρακάτω συνεισφορές: i) Τη σχεδίαση ενός δικτύου διασύνδεσης εντός τσιπ για την υποστήριξη συνοχής κρυφών μνημών σε επίπεδο υλικού, το οποίο βασίζεται στο πρωτόκολλο ACE της ARM και περιλαμβάνει δομές φιλτραρίσματος των μηνυμάτων επερωτήσεων/ενημέρωσεων. ii) Τη σχεδίαση της υποδομής για την υποστήριξη συνοχής κρυφών μνημών στον επεξεργαστικό πυρήνα CVA6 (πρώην Ariane) που βασίζεται στο σύνολο εντολών RISC-V. iii) Την υλοποίηση ενός συστήμα-

τος πολλαπλών πυρήνων που υποστηρίζει το πρωτόκολλο συνοχής κρυφών μνημών Τροποποιημένο-Κοινόχρηστο-Άκυρο (TKA).

Υλοποιούμε και επαληθεύουμε το συνεκτικό και πολυπύρηνο RISC-V σχέδιο στη γλώσσα περιγραφής υλικού SystemVerilog και αξιολογούμε την απόδοσή του μέσω προσομοίωσης σε επίπεδο μεταφοράς καταχωρητών. Για την αξιολόγηση δημιουργούμε και εκτελούμε ενδεικτικά προγράμματα χωρίς την υποστήριξη λειτουργικού συστήματος και επίσης εκτελούμε επιλεγμένα δοκιμαστικά προγράμματα Litmus για την εκτίμηση της ορθότητας του συστήματος μνήμης. Για την αξιολόγηση της απόδοσης του συστήματός μας παρουσιάζουμε μετρικές καθυστέρησης σε κύκλους ρολογιού, τη μέγιστη εφικτή συχνότητα ρολογιού και τη χρήση πόρων λογικής σε συστοιχίες επαναπρογραμματιζόμενης λογικής (FPGAs).

University of Crete

Computer Science Department

M.Sc. Thesis

Totomis Sotirios

Master's Thesis Supervisor: Professor, M. Katevenis

V. Papaefstathiou, (Thesis Co- Advisor)

Friday, 6 August 2021, 12:00 p.m.

Join Zoom Meeting

<https://zoom.us/j/94627163111>

"Design and Implementation of Cache Coherence Engines for RISC-V Systems"

Abstract

Before the multi-core era, the performance of processor chips improved mostly by continuous increase of their clock frequency. Such high frequencies ended up in enormous power consumption figures and heat dissipation reached non-affordable levels, especially in large-scale systems such as Data Centers. In response to these issues, and until nowadays, manufacturers build chips which consist of multiple processing units that restore energy efficiency, silicon costs and improve system performance through work parallelization. In conjunction, there exists a continuously surging interest for energy-efficient RISC architectures and particularly the open-source RISC-V Instruction Set Architecture that can further reduce the cost of multi-core chips.

Although shared memory multi-core systems tackle several problems, they also introduce several complications. Firstly, the increased communication costs between cores and memory while fetching instructions and data, secondly the orchestration among cores in order to maintain coherent copies of data, associated with the same address of memory, in their private L1 and/or L2 caches. The third important concern is the performance and energy cost of cache coherence operations to search and locate stale copies throughout the cache hierarchy, i.e. snoop operations. Above factors can become even more critical and challenging from the performance point-of-view as the number of cores in a system increases. This is due to the high occupancy of

the on-chip interconnection network which is responsible for transferring requests and responses from cores to memory, and simultaneously supporting the appropriate cache coherence protocol.

This thesis contributes with the design and implementation of cache coherence engines and interconnect infrastructure for RISC-V systems. Specifically this work makes the following contributions: i) the design of a hardware cache coherent on-chip interconnect based on ARM's ACE protocol that employs snoop filtering structures, ii) the design of the hardware infrastructure to support cache coherence on the open-source CVA6 (former Ariane) RISC-V processor core, iii) the implementation of a multi-core system that supports the Modified-Shared-Invalid (MSI) cache coherence protocol.

We implement and verify our cache-coherent RISC-V multi-core design in SystemVerilog and evaluate its performance using RTL simulation. For the evaluation we run indicative hand-made bare metal programs and selected Litmus tests to assess its correctness. As part of the performance measurements we present latency metrics in terms of clock cycles, clock frequency and FPGA resource utilization.